

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-114685

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl.<sup>5</sup>  
H 0 1 L 23/50

識別記号 庁内整理番号  
S 9272-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 6 (全 10 頁)

(21)出願番号 特願平3-275466

(22)出願日 平成3年(1991)10月23日

(71)出願人 000006013

三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号

(72)発明者 安永 雅敏

伊丹市瑞原4丁目1番地 三菱電機株式会  
社エル・エス・アイ研究所内

(72)発明者 橋本 知明

伊丹市瑞原4丁目1番地 三菱電機株式会  
社エル・エス・アイ研究所内

(74)代理人 弁理士 曾我 道照 (外6名)

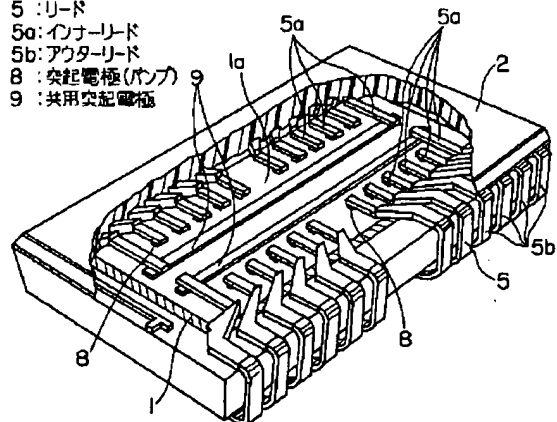
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 この発明は、電気的特性の劣化等の原因となる絶縁フィルム、接着剤およびボンディングワイヤを使用しない、より電気的特性が優れ、温度変化の影響を受け難く、薄型化が可能で、かつ回路パターンの設計の自由度を向上させた、LOC構造型の内部構造を有する半導体装置を得ることを目的とする。

【構成】 この発明では、ダイパッドの役目も果たす各リード5のインナーリード5aが、半導体チップ1の回路形成面1a上を回路形成面1aと所定の間隔をあけて延び、回路形成面1aの各電極パッド10a上に形成された突起電極8あるいは2つ以上の電極パッドに共通に形成された共用突起電極9に直接接合され、インナーリード5aと電極パッド10aが電気的に接続されると共に、半導体チップ1と各リード5が機械的に固定される。

1 : 半導体チップ  
1a : 回路形成面  
2 : モールド樹脂  
5 : リード  
5a : インナーリード  
5b : アウターリード  
8 : 突起電極 (パンプ)  
9 : 共用突起電極



1

## 【特許請求の範囲】

【請求項1】 半導体チップをモールド樹脂で樹脂封止した半導体装置であって、

保護膜で覆われた回路形成面を有する半導体チップと、この半導体チップの回路形成面の中央を含む所望の位置にそれぞれ形成された複数の電極パッドと、これらの電極パッド上にそれぞれ形成された所定の高さを有する突起電極と、

上記半導体チップの外側からそれぞれの突起電極に向かって、上記回路形成面との間に所定の間隔をあけて延び、突起電極に直接固定されて電氣的に接続されたインナーリード、およびこのインナーリードとひと続きになって上記モールド樹脂の外部に延びるアウターリードからなる複数のリードと、

上記各リードのアウターリードが外部に露出するように上記各部分を樹脂封止するモールド樹脂と、を備えた半導体装置。

【請求項2】 2つ以上の上記電極パッドにそれぞれ電氣的に接続されるように共通に形成された、上記2つ以上の電極パッド上を通過して上記回路形成面の保護膜上に延びる所定の高さを有する少なくとも1本の共用突起電極をさらに備えた請求項1の半導体装置。

【請求項3】 上記突起電極同士、上記共用突起電極同士あるいは突起電極と共用突起電極との間を電氣的に接続する、上記半導体チップの回路形成面の保護膜の下に形成された配線導体をさらに備えた請求項2の半導体装置。

【請求項4】 上記共用突起電極に沿って上記保護膜の下に延びる配線導体、および上記配線導体に沿って上記保護膜に形成された複数の開口部をさらに備え、上記共用突起電極が上記各開口部を介して上記配線導体に電氣的に接続されるように形成された請求項3の半導体装置。

【請求項5】 上記各リードのインナーリードの上記突起電極あるいは共用突起電極に固定接続される部分が加熱され易いように細くされている請求項2の半導体装置。

【請求項6】 上記突起電極および共用突起電極が形成された領域を除く上記半導体チップの回路形成面に $\alpha$ 線を遮断する薄い誘電体層を形成した請求項2の半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、大型の半導体チップを樹脂封止した半導体装置、特にその内部構造に関するものである。

【0002】

【従来の技術】図19は例えば特開昭61-241959号公報に示されている従来のこの種の半導体装置を示す斜視図で、内部構造を示すために一部が破断されて示

2

されている。この半導体装置はリード・オン・チップ(LOC)構造を有するものである。LOC構造とは、電極パッドを半導体チップ上面の中央に配設し、その周囲に絶縁層を設け、この絶縁層の上でインナーリードを引き回すようにし、インナーリードの内側端と電極パッドをボンディングワイヤで電氣的に接続したものであり、電氣的特性の向上および大型チップでの配線の自由度を増すという利点がある。

【0003】製造工程としては、半導体チップの上面をリードフレームの下面に絶縁層を介して接着し、次にインナーリードと電極パッドをボンディングワイヤで接続し、最後にこれを樹脂封止する。なお、インナーリードの部分はダイパッドの役割も果し、従ってダイパッドは不要となる。

【0004】図19において、モールド樹脂2内には大型の半導体チップ1が内蔵されている。この半導体チップ1の回路形成面の中央には長手方向に沿って複数の電極パッド7が一列に配列されており、両側からはそれぞれ複数のインナーリード5が電極パッド7の列の近傍まで延びている。そしてインナーリード5の先端と電極パッド7がボンディングワイヤ4によって電氣的に接続されている。また、電極パッド7の列の両側にはこの列に沿って共用インナーリード(バス・バー)6がそれぞれ延びている。この共用インナーリード6は半導体チップ1の両側のそれぞれの両端のインナーリード5と一続きに形成されたもので、一般には電源リード或は接地リードとして使用される。

【0005】半導体パッド1の回路形成面上の電極パッド7の列の両側のパッドの設けられていない部分には、絶縁性を有すると共に $\alpha$ 線を遮断する効果を有するポリイミドからなる絶縁フィルム3が貼られており、インナーリード5および共用インナーリード6はこれらの絶縁フィルム3上に、例えば接着剤(図示せず)によって固定されている。また絶縁フィルム3も同様に接着剤により半導体チップ1に接着されている。

【0006】また、特開平2-246125号公報には同様のLOC構造を有する半導体装置において、絶縁フィルムの面積を必要最小限にするために、インナーリードの先端側だけを半導体チップの上面に接着し、絶縁フィルムを半導体チップ上面のインナーリードの先端側を接着する部分だけに設け、かつ、インナーリードの外側をチップ上面から離すように持ち上げたものが開示されている。

【0007】

【発明が解決しようとする課題】以上のように構成された従来の半導体装置においては、以下のような課題があった。

(1) 半導体チップの回路形成面上に複数のインナーリードが絶縁フィルムを介して接着剤で接着されているため、インナーリードと半導体チップとの間の浮遊容量が

大きくなるため、信号伝送速度がその浮遊容量の大きくなった分だけ遅くなると共に電氣的ノイズも大きくなるという問題点があった。

(2) 絶縁フィルムが吸湿性が高いため、吸湿水分量が多くなり、リフロー時、すなわち例えば、完成した半導体装置を回路基板に半だ付けする際に半導体装置全体を高温にした状態で半だ付けを行うが、その際に吸湿された水分がパッケージの中で気化膨張してパッケージ破壊が発生するという問題点があった。

(3) 絶縁フィルムはポリイミド系の樹脂からなるため他の部材との熱膨張係数が大きく異なり、温度変化に弱いという問題点があった。

(4) 半導体チップと絶縁フィルムの間および絶縁フィルムとインナーリードの間を固定するために接着剤が使用されているため、使用過程における接着剤の劣化に伴い、接着剤内の不純物によりリード間の電氣的リークおよびアルミニウム電極パッドの腐食が生じ信頼性が低下する問題点があった。

(5) 半導体チップの回路形成面上の電極パッドとインナーリードあるいは共用インナーリードとを電氣的に接続する際にボンディングワイヤを使用しているが、ボンディングワイヤのループの高さが高いので、パッケージを薄くすることができないという問題点があった。

(6) インナーリードおよび共用インナーリードは半導体チップの回路形成面内の能動素子が形成されている領域の真上に絶縁フィルムおよび接着剤を介して固定されているので、半導体チップの回路形成面上の電極パッドとインナーリードあるいは共用インナーリードをボンディングワイヤで電氣的に接続する際に、能動素子が機械的ダメージを受ける可能性があるという問題点があった。

(7) ボンディングワイヤを使用しているため、ボンディングワイヤ自身の電氣的抵抗により信号伝送速度が遅くなると共に電氣的ノイズも大きくなるという問題点があった。

(8) 共用インナーリードがインナーリードと共に一体に形成されているので、互いに交差させたり、特殊な形状のパターンで形成できないなど、パターン設計の自由度が小さいという問題点があった。

【0008】この発明は上記のような問題点を解消するためになされたもので、動作速度が速いおよびノイズの少ない等、電氣的特性が優れ、温度変化の影響を受け難く、薄型化が可能で、かつ半導体チップ上の電極パッドとインナーリードとの接続回路の回路パターンの設計の自由度を向上させた等の特徴を持ったLCC構造型の内部構造を有する半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の目的に鑑み、この発明は、半導体チップをモールド樹脂で樹脂封止した半

導体装置であって、保護膜で覆われた回路形成面を有する半導体チップと、この半導体チップの回路形成面の中央を含む所望の位置にそれぞれ形成された複数の電極パッドと、これらの電極パッド上にそれぞれ形成された所定の高さを有する突起電極と、半導体チップの外側からそれぞれの突起電極に向かって、回路形成面との間に所定の間隔をあけて延び、突起電極に直接固定されて電氣的に接続されたインナーリード、およびこのインナーリードとひと続きになって上記モールド樹脂の外部に延びるアウターリードからなる複数のリードと、各リードのアウターリードが外部に露出するように上記各部分を樹脂封止するモールド樹脂と、を備えた半導体装置にある。

【0010】また、2つ以上の上記電極パッドと電氣的に接続されるように共通に形成された、回路形成面の保護膜上に延びる所定の高さを有する共用突起電極をさらに備えた。また、突起電極同士、共用突起電極同士あるいは突起電極と共用突起電極との間を電氣的に接続するための、配線導体を半導体チップの回路形成面の保護膜の下に形成した。また、共用突起電極に沿って保護膜の下を延びる配線導体、およびこの配線導体に沿って保護膜に形成された複数の開口部をさらに備え、共用突起電極を各開口部を介して配線導体に電氣的に接続されるように形成した。また、各リードのインナーリードの突起電極あるいは共用突起電極に固定接続される部分を他の部分より細く形成した。また、突起電極および共用突起電極が形成された領域を除く半導体チップの回路形成面にα線を遮断する薄い誘電体層を形成した。

【0011】

【作用】この発明に係る半導体装置では、各リードのインナーリードが半導体チップ上を回路形成面と所定の間隔をあけて延びて、電極パッド上に形成された対応するそれぞれの突起電極に直接固定接続される。これにより半導体チップとリードが電氣的に接続されると共に機械的に固定される。従って回路形成面上には絶縁層を設ける必要がない。また、このインナーリードはダイパッドの役目も果たすため、ダイパッドを設ける必要もない。また、2つ以上の電極パッドと電氣的に接続されるように共通に形成された共用突起電極を形成することにより、同種の複数の電極パッドを半導体チップ側で接続するようにした。また、突起電極同士、共用突起電極同士あるいは突起電極と共用突起電極との間を半導体チップの回路形成面の保護膜の下に形成した配線導体で電氣的に接続するようにし、突起電極間の相互の接続を容易にした。また、共用突起電極とこれに沿って保護膜の下を延びる配線導体を保護膜に形成された複数の開口部を介して電氣的に接続するようにして、共用突起電極の電圧を安定させかつノイズを減少させるようにした。また、各リードのインナーリードの突起電極あるいは共用突起電極に固定接続される部分を他の部分より細く形成し、

突起電極とインナーリードの接続の際、該接続部分の温度が上がり易いようにした。また、突起電極および共用突起電極が形成された領域を除く半導体チップの回路形成面に $\alpha$ 線を遮断する薄い誘電体層を形成し、インナーリードが原因の $\alpha$ 線ソフト・エラーを防止するようにした。

#### 【0012】

【実施例】以下、この発明の実施例を添付図面に基づいて説明する。なお、各図において、従来のものと同一もしくは相当する部分は同一符号で示す。図1はこの発明の第1の実施例による半導体装置の破断斜視図、図2は図1の半導体チップ1の回路形成面1a上の突起電極8あるいは共用突起電極9が形成された部分の鉛直断面図である。モールド樹脂2内に収納された半導体チップ1のシリコン基板12の回路形成面1a上には複数の電極パッド10aが形成されており、これらの電極パッド10a上にそれぞれ突起電極8(バンプ)が形成されている。半導体チップ1の長手方向にそれぞれ延びる共用突起電極9は、同種の複数の電極パッド10a上を通してこれらに共通に接続するように形成された突起電極で、電源電極、接地電極あるいは基準電圧電極として使用される。各電極パッド10aはアルミ(Al)、また各突起電極8、9は金(Au)からなり、それぞれ例えば写真製版技術により形成される。なお、半導体チップ1の突起電極8、9が形成されていない残りの表面(側面および裏面も含む)は通常、酸化等を防止する保護膜であるパッシベーション膜11が形成されている。このパッシベーション膜11は従来の半導体チップにも通常形成されている保護膜であり、従来のものはこのパッシベーション膜の上に接着材により絶縁フィルムが貼られている。このパッシベーション膜11は写真製版技術により形成されるものであり、例えばSiNあるいはSiO<sub>2</sub>からなり、厚みは0.7ミクロン程度と非常に薄い。

【0013】各リード5はそれぞれモールド樹脂2の内側のインナーリード5aおよびモールド樹脂2から露出しているアウターリード5bからなり、インナーリード5aの内側端が突起電極8あるいは共用突起電極9に接合されている。このインナーリード5aは半導体チップ1の外側からそれぞれの突起電極8、9に向かって、回路形成面1aとの間に所定の間隔をあけて延びている。ニッケル鉄(Fe-Ni)あるいは銅(Cu)からなるインナーリード5aと各突起電極8、9は、インナーリード5aを突起電極8、9上に押し付け、加熱することにより接合される。このため、インナーリード5aの突起電極8、9と接合される部分、すなわち内側端部分は他の部分に比べて細くされ、加熱し易いようにされている。そして各インナーリード5aが対応するそれぞれの突起電極8、9に直接固定接続されることにより、半導体チップ1とリード5は電気的に接続されると共に機械的に固定される。すなわちリード5のインナーリード5aは

ダイパッドの役目も果たす。なお、樹脂封止を行った際にはモールド樹脂2がインナーリード5aと半導体チップ1の間に入り込む。

【0014】この第1の実施例においては、従来のような絶縁フィルムおよび半導体チップ、絶縁層およびインナーリードをそれぞれ接着する接着剤が使用されていない。従って、

(1) インナーリード5aと半導体チップ1との間の浮遊容量が減少するので、信号伝送速度の低下を防ぐと共に電気的ノイズが減少する。

(2) 吸湿水分量が減少するので、完成された半導体装置を回路基板等に半だ付けする際に加熱された場合においても、パッケージ破壊が発生することを防止できる。

(3) 外界の温度変化の影響を受け難くなる。

(4) 使用過程における接着剤の劣化に伴い接着剤から発生する不純物の影響によるインナーリード5aの間での電気的リークやアルミ電極パッド10aの腐食の心配がない。

【0015】また、第1の実施例においては、従来のようにワイヤーボンディングは行わずに突起電極8、9(バンプ)を使用して電極パッドとインナーリードの接続を行っている。従って、

(5) モールド樹脂2の外形、すなわち半導体装置全体を薄く形成することができる。

(6) ワイヤーボンディングを行わないため、半導体チップ1の回路形成面1aに形成された能動素子領域へ機械的ダメージを与える心配がない。

(7) ボンディングワイヤを使用していないのでワイヤ自身の抵抗による影響を受けることがなく、また接合部の抵抗もワイヤーボンディングのものに比べて小さく、信号伝送速度が向上し、また電気的ノイズが低減できる。

【0016】さらに第1の実施例では、従来の半導体装置で使用されていた共通インナーリード(バス・バー)に代わって、半導体チップ1上に形成された共用突起電極9を用いている。従って、

(8) 半導体チップ1の回路形成面1a上の所望の場所に電源レベル、接地レベルあるいは所望の信号レベルの電圧を殆ど減衰なしに与えることができるので、従来の共用インナーリード以上に信号伝送速度の向上および電気的ノイズの低減を図ることができる。

(9) 突起電極8および共用突起電極9は例えば写真製版技術を用いて半導体チップ1の回路形成面1a上に形成できるので、極めてパターン設計の自由度が大きくなる。

【0017】図3にはこの発明の第2の実施例による半導体装置の破断斜視図を示す。この実施例では共用突起電極9を、両端にインナーリード5a側に折れ曲がった延長部分90を含むように形成している。このように共用突起電極9は所望の形に形成することができる。その

他の部分は第1の実施例と同じであり、第1の実施例と同様の効果が得られる。

【0018】図4にはこの発明の第3の実施例による半導体装置の破断斜視図、図5には図4の要部AのV-V線に沿った断面図を示す。図1および図2に示す第1の実施例では共用突起電極9を半導体チップ1の長辺方向に延びるように形成したが、本実施例では共用突起電極9aおよび9bが、半導体チップ1の長辺方向のみならず短辺方向にも延びるように形成されている。図5には2つの共用突起電極9a、9bが交差する図5の要部Aの詳細な構造が示されている。図示のように2つに分割された共用突起電極9aはパッシベーション膜11の下に形成された配線導体であるアルミ(A1)配線10により、共用突起電極9bの下を通して接続されている。このように、2つの共用突起電極9aおよび9bを交差させることも可能である。また、この実施例では共用突起電極9aおよび9bに沿ってパッシベーション膜11の下にA1配線10が延びており、共用突起電極9aおよび9bはこれらに沿ってパッシベーション膜11に所定の間隔で形成された開口部11aの部分でA1配線10と電気的に接続するように形成されている。これにより共用突起電極9a、9bでの電圧(例えば電源電圧あるいは接地電圧)をより安定させ、かつ電氣的ノイズを減少させることができる。

【0019】なお、図3に示す第2の実施例と図4および図5に示す第3の実施例を組み合わせることも可能であることは言うまでもない。

【0020】図6にはこの発明の第4の実施例による半導体装置の破断斜視図、図7には図6の要部BのVII-VII線に沿った断面図を示す。上記第1の実施例では共用突起電極9を各突起電極8より半導体チップ1の内側に設けたが、この実施例では逆に共用突起電極9を各突起電極8の外側に設けてある。さらに図7に示すように、共用突起電極9は突起電極8より低く形成されインナーリード5aと接触しないようにされている。また、共用突起電極9は半導体チップ1の回路形成面1a上に形成されたA1配線10により一部の突起電極8に電極的に接続されている。従ってこの実施例ではインナーリード5aは全て突起電極8に接合されており、共用突起電極9へは突起電極8およびA1配線10を介して接続されている。

【0021】図8にはこの発明の第5の実施例による半導体装置の破断斜視図、図9には図8の要部CのIX-IX線に沿った断面図を示す。この実施例では第4の実施例と反対に共用突起電極9が各突起電極8の内側に設けてある。さらに図9に示すように、共用突起電極9は半導体チップ1の回路形成面1a上に形成されたA1配線10により一部の突起電極8に電極的に接続されている。この実施例でもインナーリード5aは全て突起電極8に接合されており、共用突起電極9へは突起電極8および

A1配線10を介して接続されている。

【0022】図10にはこの発明の第6の実施例による半導体装置の破断斜視図を示す。上記各実施例ではインナーリード5aの突起電極8、9との接合部分付近が他の部分より細く形成されていたが、この実施例では、インナーリード5aの接合部分すなわち内側端部分が他の部分と同じ太さで形成されている。

【0023】図11にはこの発明の第7の実施例による半導体装置の破断斜視図、図12には図11の要部DのXII-XII線に沿った断面図を示す。この実施例ではコの字型の2つの共用突起電極9aおよび9bを互いに噛み合わさる形状に形成したもので、さらに図12に示されるように、これらの共用突起電極9aおよび9bが半導体チップ1の回路形成面1a上に形成されたA1配線10によってそれぞれ一部の突起電極8に電気的に接続されている。また、共用突起電極9aおよび9bは突起電極8の外側に設けられるため、インナーリード5aと接触しないように突起電極8より低く形成されている。この実施例でもインナーリード5aは全て突起電極8に接合されており、共用突起電極9a、9bへは突起電極8およびA1配線10を介して接続されている。

【0024】図13にはこの発明の第8の実施例による半導体装置の破断斜視図、図14には図13の要部EのXIV-XIV線に沿った断面図を示す。この実施例では半導体チップ1の長辺方向に延びた2本の共用突起電極9を面状に形成し、この共用突起電極9におけるインダクタンスを小さくするようにしたものである。これらの共用突起電極9は図14に示すように半導体チップ1の回路形成面1a上に形成されたA1配線10によってそれぞれ一部の突起電極8に電気的に接続されている。また、共用突起電極9は突起電極8の外側に設けられるため、インナーリード5aと接触しないように突起電極8より低く形成されている。

【0025】図15にはこの発明の第9の実施例による半導体装置の破断斜視図、図16には図15の要部FのXVI-XVI線に沿った断面図を示す。この実施例は、半導体チップ1の長辺方向に延びた2本の共用突起電極9を形成し、その内側に突起電極8を1列に配設し、インナーリード5aを千鳥状すなわち両側から交互に突起電極8に接合したものである。これらの共用突起電極9は図16に示すように半導体チップ1の回路形成面1a上に形成されたA1配線10によってそれぞれ一部の突起電極8に電気的に接続されている。また、共用突起電極9は突起電極8の外側に設けられるため、インナーリード5aと接触しないように突起電極8より低く形成されている。以上第2～9の実施例では、第1の実施例と同様の効果が得られる。

【0026】図17にはこの発明の第10の実施例による半導体装置の破断斜視図、図18には図17の要部GのXVIII-XVIII線に沿った断面図を示す。上記各実施例

では突起電極8が1列あるいは2列に並んで配列されていたか、この実施例では突起電極8が所望の位置に配設されている。さらに、インナーリード5aが原因となるα線ソフト・エラーを防止するために、図18に示すようにパッシベーション膜11の上にα線を遮断する薄い誘電体層15を半導体チップ1の回路形成面1aの全面に渡って設けた(但し電極パッド10aの部分を除く)。この誘電体層15はポリイミド等からなり、パッシベーション膜11と同様に写真製版技術により形成される。従って従来のように接着剤は必要なく、また非常に薄く形成することができる。

【0027】この第10の実施例ではポリイミドからなる誘電体層15が使用されているが、従来の絶縁フィルムに比べて非常に薄く、また接着剤も使用していないため、上述した各実施例と同様に、温度変化による影響、腐食の問題、電気的特性等に関して従来のもの比べてより優れたものが得られる。

【0028】なお、この発明は上記各実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々の変更が可能である。

【0029】

【発明の効果】以上説明したように、この発明に係る半導体装置では、インナーリードが半導体チップの回路形成面上を回路形成面と所定の間隔をあけて延び、半導体チップ上の各電極パッド上に形成された突起電極に直接接合され、インナーリードと電極パッドが電気的に接続されると共に、半導体チップと各リードを含むリードフレーム(図示せず)を機械的に固定する構造にした。これにより絶縁フィルム、接着剤およびボンディングワイヤは使用しておらず、従って動作速度が速いおよびノイズが少ない等の電気的特性が優れ、温度変化の影響を受け難く、薄型化が可能で、かつ半導体チップ上の電極パッドとインナーリードとの接続回路の回路パターン設計の自由度を向上させた等の特徴を持った、信頼度の高いLOC構造型の内部構造を有する半導体装置を提供することができるという効果がある。

【図面の簡単な説明】

【図1】この発明の第1の実施例による半導体装置の破断斜視図である。

【図2】図1の半導体チップの回路形成面の突起電極を形成した部分の断面図である。

【図3】この発明の第2の実施例による半導体装置の破断斜視図である。

【図4】この発明の第3の実施例による半導体装置の破

断斜視図である。

【図5】図4の要部AのV-V線に沿った断面図である。

【図6】この発明の第4の実施例による半導体装置の破断斜視図である。

【図7】図6の要部BのVII-VII線に沿った断面図である。

【図8】この発明の第5の実施例による半導体装置の破断斜視図である。

【図9】図8の要部CのIX-IX線に沿った断面図である。

【図10】この発明の第6の実施例による半導体装置の破断斜視図である。

【図11】この発明の第7の実施例による半導体装置の破断斜視図である。

【図12】図11の要部DのXII-XII線に沿った断面図である。

【図13】この発明の第8の実施例による半導体装置の破断斜視図である。

【図14】図13の要部EのXIV-XIV線に沿った断面図である。

【図15】この発明の第9の実施例による半導体装置の破断斜視図である。

【図16】図15の要部FのXVI-XVI線に沿った断面図である。

【図17】この発明の第10の実施例による半導体装置の破断斜視図である。

【図18】図17の要部GのXVIII-XVIII線に沿った断面図である。

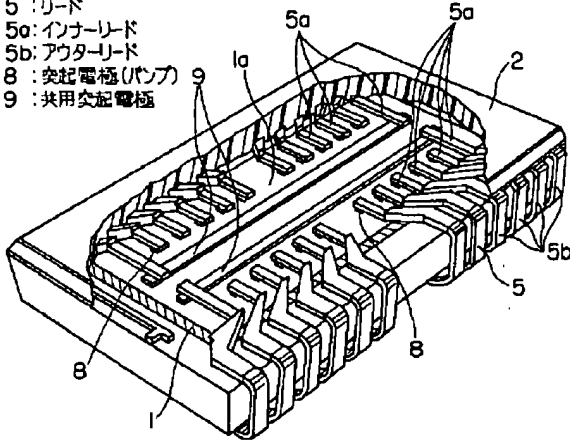
【図19】従来の半導体装置を示す破断斜視図である。

【符号の説明】

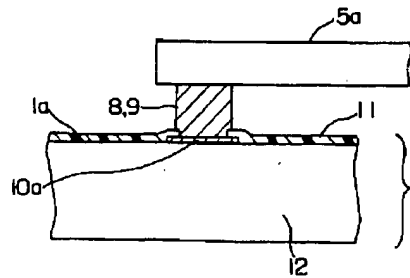
- 1 半導体チップ
- 1a 回路形成面
- 2 モールド樹脂
- 5 リード
- 5a インナーリード
- 5b アウターリード
- 8 突起電極(バンプ)
- 9 共用突起電極
- 10 A1配線(配線導体)
- 10a 電極パッド
- 11 パッシベーション膜(保護膜)
- 11a 開口部
- 15 誘電体層

【図1】

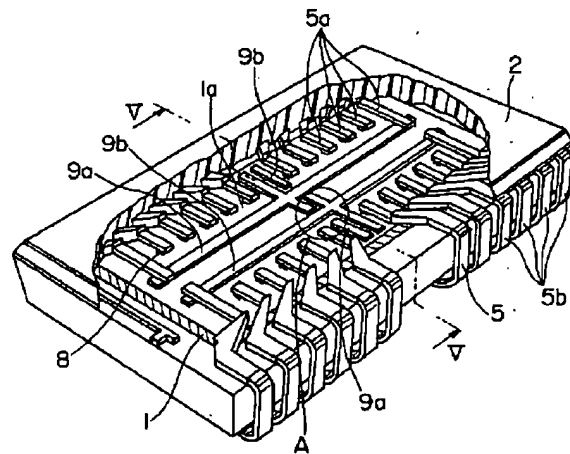
- 1 : 半導体チップ  
 1a : 回路形成面  
 2 : モールド樹脂  
 5 : リード  
 5a : インナーリード  
 5b : アウターリード  
 8 : 突起電極(パンプ)  
 9 : 共用突起電極



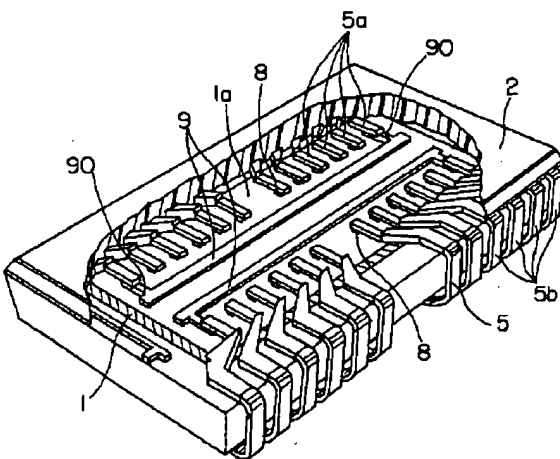
【図2】



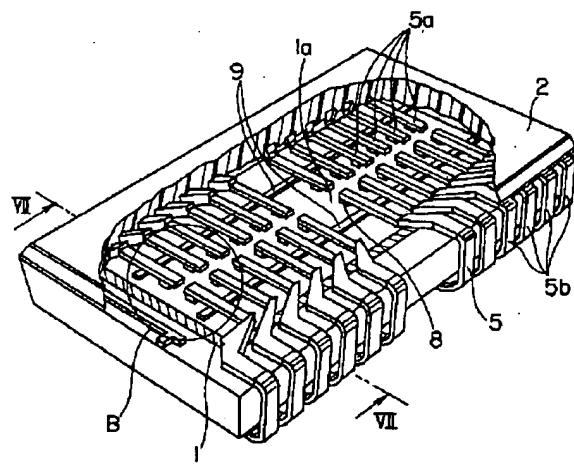
【図4】



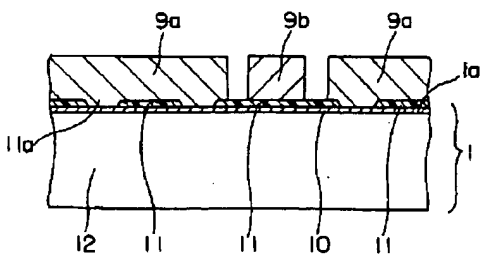
【図3】



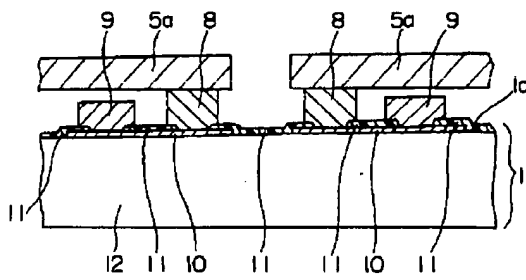
【図6】



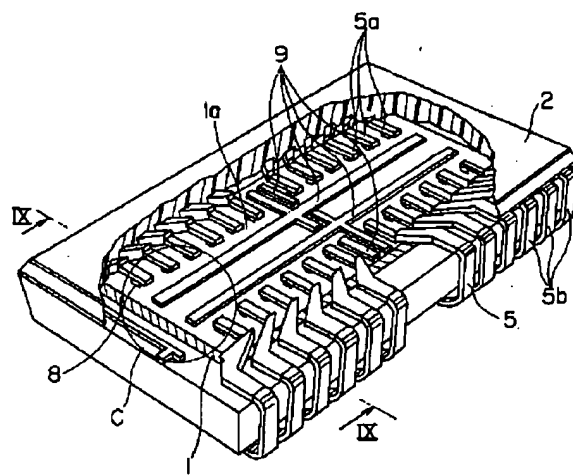
【図5】



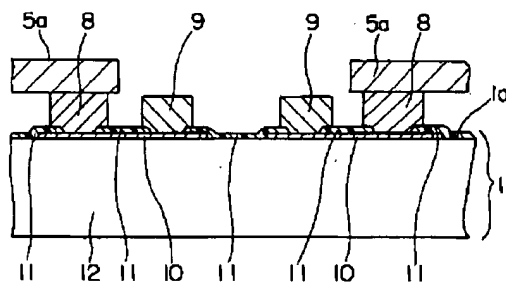
【図7】



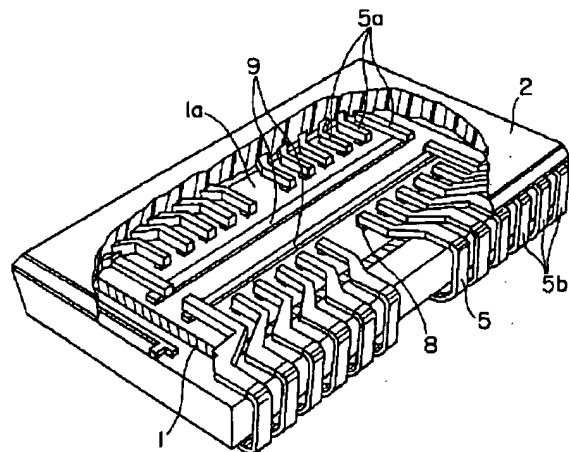
【図8】



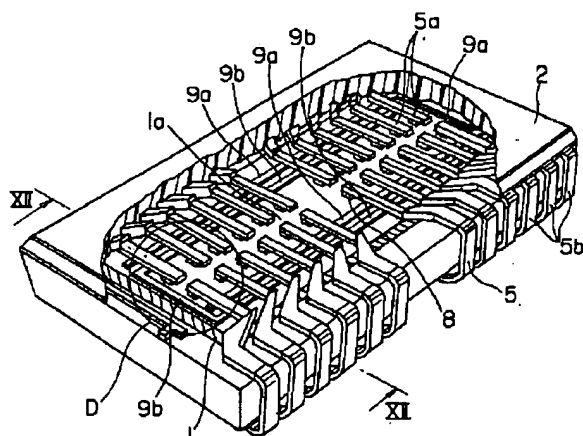
【図9】



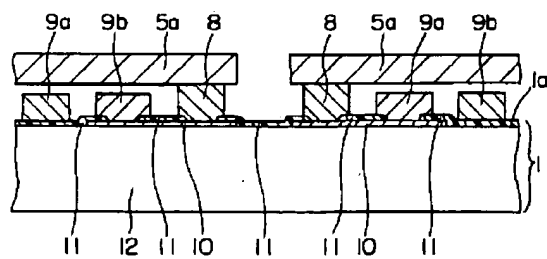
【図10】



【図11】

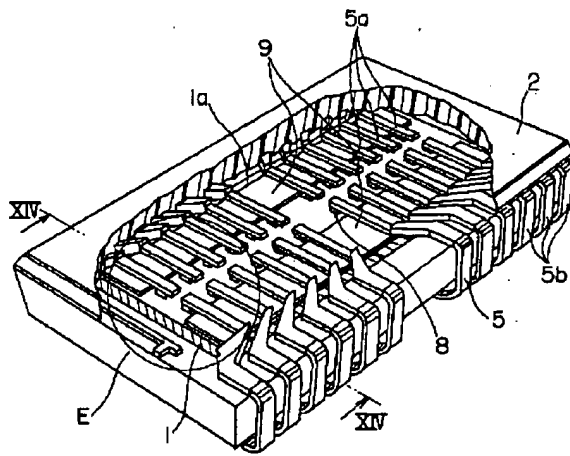


【図12】

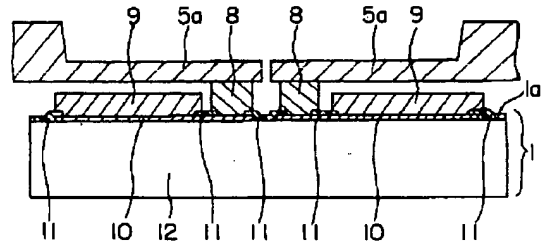




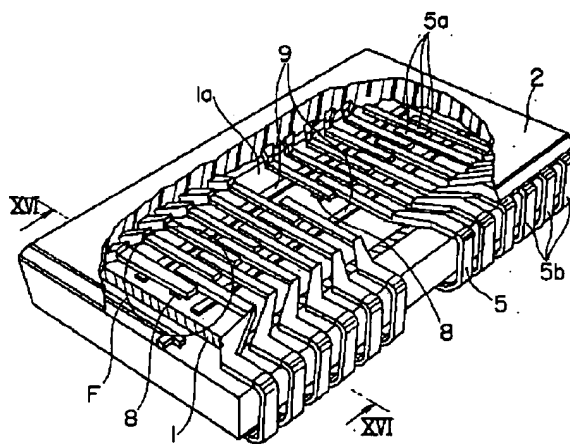
【図13】



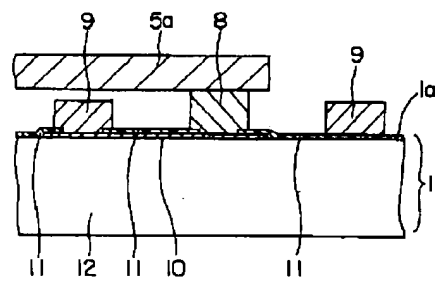
【図14】



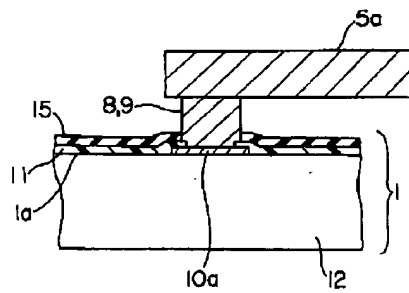
【図15】



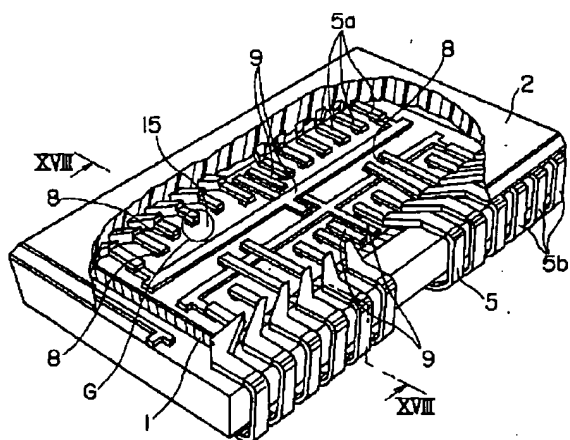
【図16】



【図18】



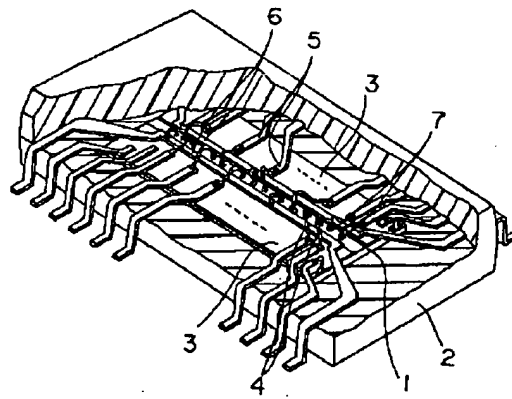
【図17】



(10)

特開平5-114685

【図19】



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is the semiconductor device and the thing especially about that internal structure which carried out the resin seal of the large-sized semiconductor chip.

[0002]

[Description of the Prior Art] Drawing 19 is the perspective diagram showing this kind of the former shown in JP,61-241959,A of semiconductor device, and in order to show a internal structure, a part is fractured and it is shown. This semiconductor device has lead-on chip (LOC) structure. An electrode pad is arranged in the center on the upper surface of a semiconductor chip, an insulating layer is prepared in that perimeter, an inner lead is taken about on this insulating layer, the inside edge and electrode pad of an inner lead are electrically connected with LOC structure by the bonding wire, and there is an advantage of increasing the flexibility of wiring with improvement and the large-sized chip of electrical characteristics, with it.

[0003] As a manufacturing process, the upper surface of a semiconductor chip is pasted up on the inferior surface of tongue of a leadframe through an insulating layer, then, an electrode pad is connected with an inner lead by the bonding wire, and the resin seal of this is carried out to the last. In addition, the portion of an inner lead also plays the role of a die pad, therefore becomes unnecessary [ a die pad ].

[0004] In drawing 19 , the large-sized semiconductor chip 1 is built in in mold resin 2. In the center of the circuit forming face of this semiconductor chip 1, two or more electrode pads 7 are arranged by the single tier along with the longitudinal direction, and two or more inner leads 5 are prolonged from both sides to near the train of the electrode pad 7, respectively. And the tip and the electrode pad 7 of an inner lead 5 are electrically connected by the bonding wire 4. Moreover, on both sides of the train of the electrode pad 7, the common inner lead (bus bar) 6 is prolonged in accordance with this train, respectively. This common inner lead 6 was formed in the inner lead 5 of each both ends of the both sides of a semiconductor chip 1, and one continuation, and, generally is used as a power lead or a ground lead.

[0005] into the portion in which the pad of the both sides of the train of the electrode pad 7 on the circuit forming face of the semiconductor pad 1 is not prepared, while having insulation, alpha rays are intercepted -- the insulating film 3 which consists of polyimide which has an effect is stuck, and the inner lead 5 and the common inner lead 6 are being

fixed by adhesives (not shown) on these insulating films 3. Moreover, the insulating film 3 is similarly pasted up on the semiconductor chip 1 with adhesives.

[0006] Moreover, in the semiconductor device which has the same LOC structure as JP,2-246125,A, in order to make area of an insulating film into necessary minimum, what was raised so that only the tip side of an inner lead might be pasted up on the upper surface of a semiconductor chip, and an insulating film might be prepared only in the portion which pastes up the tip side of the inner lead on the upper surface of a semiconductor chip and the outside of an inner lead might be separated from the chip upper surface is indicated.

[0007]

[Problem(s) to be Solved by the Invention] The following technical problems occurred in the conventional semiconductor device constituted as mentioned above.

(1) Since two or more inner leads had pasted up with adhesives through the insulating film on the circuit forming face of a semiconductor chip and the stray capacity between an inner lead and a semiconductor chip became large, while only the part to which signal-transmission speed became large [ the stray capacity ] became late, electrical noise also had the trouble of becoming large.

(2) since an insulating film has high hygroscopicity -- the amount of hygroscopic water -- increasing -- the time of a reflow -- namely, -- for example, it is half the circuit board about the completed semiconductor device -- in case it attaches and carries out, it is a half where the whole semiconductor device is made into an elevated temperature -- although \*\*\*\* was performed, there was a trouble that the moisture which absorbed moisture on that occasion carried out evaporation expansion in a package, and package destruction occurred.

(3) Since it consisted of resin of a polyimide system, coefficients of thermal expansion with others and a member differed greatly, and the insulating film had the trouble of being weak in the temperature change.

(4) Since between a semiconductor chip and insulating films and between an insulating film and inner leads were fixed and adhesives were used, there was a trouble that the electric leak during a lead and the corrosion of an aluminum electrode pad arose with the impurity in adhesives, and reliability fell, with deterioration of the adhesives in a use process.

(5) When connecting electrically the electrode pad, inner lead, or common inner lead on the circuit forming face of a semiconductor chip, the bonding wire was used, but since the height of the loop of a bonding wire was high, there was a trouble that a package could not be made thin.

(6) Since it was fixed through an insulating film and adhesives right above the field in which the active element in the circuit forming face of a semiconductor chip is formed, when an inner lead and a common inner lead connected electrically the electrode pad, inner lead, or common inner lead on the circuit forming face of a semiconductor chip by the bonding wire, they had the trouble that an active element might receive a mechanical damage.

(7) Since the bonding wire was used, while signal-transmission speed became slow by own electric resistance of a bonding wire, electrical noise also had the trouble of becoming large.

(8) Since the common inner lead was formed in one with the inner lead, there was a trouble that it had the small flexibility of a pattern design that it cannot be made to be able to cross mutually or cannot form by the pattern of a special configuration etc.

[0008] This invention was made in order to cancel the above troubles, a working speed is quick and it reaches, electrical characteristics are excellent in being [ which it is a noise ]

few, and it cannot be easily influenced of a temperature change, and thin shape-izing is possible and it aims at offering the semiconductor device which has the internal structure of a LOC structured type with the feature of having raised the flexibility of layout of the circuit pattern of the connection circuit of the electrode pad on a semiconductor chip, and an inner lead.

[0009]

[Means for Solving the Problem] A semiconductor chip which has a circuit forming face which this invention is the semiconductor device which carried out the resin seal of the semiconductor chip by mold resin, and was covered by protective coat in view of the above-mentioned purpose, Two or more electrode pads formed in a location of a request including a center of a circuit forming face of this semiconductor chip, respectively, A projection electrode which has predetermined height formed on these electrode pads, respectively, From an outside of a semiconductor chip, toward each projection electrode, open a predetermined gap between circuit forming faces, and it extends. Two or more leads which consist of an inner lead which was directly fixed to a projection electrode and was electrically connected to it, and an outer lead which becomes this inner lead and one continuation and is prolonged in the exterior of the above-mentioned mold resin, It is in a semiconductor device equipped with mold resin which carries out the resin seal of each above-mentioned portion so that an outer lead of each lead may be outside exposed.

[0010] Moreover, it had further a common projection electrode which was formed in common so that it might connect with two or more the above-mentioned electrode pads and electric targets and which has predetermined height prolonged on a protective coat of a circuit forming face. moreover, wiring for connecting electrically between projection electrodes, common projection electrodes or a projection electrode, and common projection electrodes -- a conductor was formed in the bottom of a protective coat of a circuit forming face of a semiconductor chip. moreover, wiring prolonged in the bottom of a protective coat along with a common projection electrode -- a conductor and this wiring -- two or more openings formed in a protective coat along with a conductor -- further -- having -- a common projection electrode -- each opening -- minding -- wiring -- it formed so that it might connect with a conductor electrically. Moreover, a portion by which non-switched connection is carried out to a projection electrode or a common projection electrode of an inner lead of each lead was formed more thinly than other portions. Moreover, a thin dielectric layer which intercepts alpha rays was formed in a circuit forming face of a semiconductor chip except a field in which a projection electrode and a common projection electrode were formed.

[0011]

[Function] In a semiconductor chip top, the inner lead of each lead is ended and prolonged in the semiconductor device concerning this invention, and direct non-switched connection is carried out [ gap / a circuit forming face and / predetermined ] to each corresponding projection electrode formed on the electrode pad with it. While a lead is electrically connected with a semiconductor chip by this, it is fixed mechanically. Therefore, it is not necessary to prepare an insulating layer on a circuit forming face. Moreover, this inner lead does not need to prepare a die pad in order to also achieve the duty of a die pad. Moreover, two or more electrode pads of the same kind were connected by the semiconductor chip side by forming the common projection electrode formed in common so that it might connect with two or more electrode pads and electric targets. moreover, wiring in which

between projection electrodes, common projection electrodes or a projection electrode, and common projection electrodes was formed to the bottom of the protective coat of the circuit forming face of a semiconductor chip -- it is made to connect electrically with a conductor and projection inter-electrode mutual connection was made easy. moreover, a common projection electrode and the wiring prolonged in the bottom of a protective coat along with this -- as a conductor is electrically connected through two or more openings formed in the protective coat, the voltage of a common projection electrode is stabilized, and it was made to decrease a noise Moreover, the portion by which non-switched connection is carried out to the projection electrode or common projection electrode of an inner lead of each lead is formed more thinly than other portions, and it was made easy [ the temperature for this connection ] a riser in the case of connection of a projection electrode and an inner lead. Moreover, the thin dielectric layer which intercepts alpha rays is formed in the circuit forming face of the semiconductor chip except the field in which the projection electrode and the common projection electrode were formed, and the inner lead prevented the alpha-rays software error of a cause.

[0012]

[Example] Hereafter, the example of this invention is explained based on an accompanying drawing. In addition, in each drawing, the same sign shows the same as that of the conventional thing, or a corresponding portion. The fracture perspective diagram of the semiconductor device according [ drawing 1 ] to the 1st example of this invention and drawing 2 are the vertical cross sections of a portion in which the projection electrode 8 or the common projection electrode 9 on circuit forming face 1a of the semiconductor chip 1 of drawing 1 was formed. On circuit forming face 1a of the silicon substrate 12 of the semiconductor chip 1 contained in mold resin 2, two or more electrode pad 10a is formed, and the projection electrode 8 (bump) is formed on such electrode pad 10a, respectively. The common projection electrode 9 prolonged in the longitudinal direction of a semiconductor chip 1, respectively is a projection electrode formed so that it might connect common to these through two or more electrode pad 10a top of the same kind, and is used as a power supply electrode, an earth electrode, or a reference voltage electrode. Aluminum (aluminum) and each projection electrodes 8 and 9 consist of gold (Au), and each electrode pad 10a is formed, for example by photoengraving-process technology, respectively. In addition, the passivation film 11 which is a protective coat to which the remaining surfaces (the side and a rear face are also included) in which the projection electrodes 8 and 9 of a semiconductor chip 1 are not formed usually prevent oxidation etc. is formed. This passivation film 11 is a protective coat usually formed also in the conventional semiconductor chip, and, as for the conventional thing, the insulating film is stuck by the binder on this passivation film. This passivation film 11 is formed by photoengraving-process technology, and consists of SiN or SiO<sub>2</sub>, for example, its thickness is very as thin as about 0.7 microns.

[0013] Each lead 5 consists of outer lead 5b exposed from inner lead 5a inside mold resin 2, and mold resin 2, respectively, and the inside edge of inner lead 5a is joined to the projection electrode 8 or the common projection electrode 9. From the outside of a semiconductor chip 1, toward each projection electrode 8 and 9, this inner lead 5a opened the predetermined gap between circuit forming face 1a, and is prolonged. Inner lead 5a and each projection electrodes 8 and 9 which consist of ferronickel (Fe-nickel) or copper (Cu) are joined by forcing inner lead 5a on the projection electrode 8 and 9, and heating it. For

this reason, compared with other portions, the portion joined to the projection electrodes 8 and 9 of inner lead 5a, a part for i.e., an inside edge, is made thin, and it is easy to be heated. And by carrying out direct non-switched connection to each projection electrode 8 and 9 with which each inner lead 5a corresponds, a semiconductor chip 1 and lead 5 are mechanically fixed while connecting electrically. That is, inner lead 5a of lead 5 also achieves the duty of a die pad. In addition, when a resin seal is performed, mold resin 2 enters between inner lead 5a and a semiconductor chip 1.

[0014] In this 1st example, the adhesives on which the insulating film and semiconductor chip like before, an insulating layer, and an inner lead are pasted up, respectively are not used. Therefore, (1) Since the stray capacity between inner lead 5a and a semiconductor chip 1 decreases, while preventing the fall of signal-transmission speed, electrical noise decreases.

(2) the semiconductor device completed since the amount of hygroscopic water decreased - the circuit board etc. -- a half -- it is -- when attaching and carrying out and it is heated, it can prevent that package destruction occurs.

(3) It is hard coming to win popularity the effect of the temperature change of the external world.

(4) There is neither electric leak between inner lead 5a under the effect of the impurity generated from adhesives with deterioration of the adhesives in a use process nor worries about the corrosion of aluminum electrode pad 10a.

[0015] Moreover, in the 1st example, wire bonding is making connection of an electrode pad and an inner lead like before using the projection electrodes 8 and 9 (bump), without carrying out. Therefore, (5) The whole appearance of mold resin 2, i.e., a semiconductor device, can be formed thinly.

(6) In order not to perform wire bonding, there is no fear of giving a mechanical damage to the active element field formed in circuit forming face 1a of a semiconductor chip 1.

(7) It is not influenced by the own resistance of a wire, and since the bonding wire is not used, resistance of a joint is also small compared with the thing of wire bonding, signal-transmission speed improves, and electrical noise can be reduced.

[0016] Furthermore in the 1st example, the common projection electrode 9 formed on the semiconductor chip 1 is used instead of the common inner lead (bus bar) currently used with the conventional semiconductor device. Therefore, (8) Since the voltage of power supply level, touch-down level, or desired signal level can be given to the location of the request on circuit forming face 1a of a semiconductor chip 1 almost without attenuation, improvement in signal-transmission speed and reduction of electrical noise can be aimed at more than the conventional common inner lead.

(9) Since the projection electrode 8 and the common projection electrode 9 can be formed on circuit forming face 1a of a semiconductor chip 1 for example, using photoengraving-process technology, the flexibility of a pattern design becomes large extremely.

[0017] The fracture perspective diagram of the semiconductor device by the 2nd example of this invention is shown in drawing 3. In this example, it forms so that the extension 90 which bent the common projection electrode 9 to both ends at the inner lead 5a side may be included. Thus, the common projection electrode 9 can be formed in a desired form. Other portions are the same as the 1st example, and the same effect as the 1st example is acquired.

[0018] The cross section which met the fracture perspective diagram of the semiconductor

device by the 3rd example of this invention and drawing 5 on the V-V line of the important section A of drawing 4 at drawing 4 is shown. In the 1st example shown in drawing 1 and drawing 2, the common projection electrode 9 was formed so that it might extend in the direction of a long side of a semiconductor chip 1, but in this example, the common projection electrodes 9a and 9b are formed so that it may extend not only in the direction of a long side of a semiconductor chip 1 but in the direction of a shorter side. The structure with the detailed important section A of drawing 5 where two common projection electrodes 9a and 9b cross is shown in drawing 5. the wiring with which common projection electrode 9a divided into two like illustration was formed in the bottom of the passivation film 11 -- the aluminum (aluminum) wiring 10 which is a conductor connects through the bottom of common projection electrode 9b. Thus, it is possible to also make two common projection electrodes 9a and 9b cross. Moreover, along with the common projection electrodes 9a and 9b, in this example, the aluminum wiring 10 is prolonged under the passivation film 11, and in it, the common projection electrodes 9a and 9b are formed so that it may connect with the aluminum wiring 10 electrically in the portion of opening 11a formed at the predetermined gap along with these at the passivation film 11. The voltage (for example, supply voltage or touch-down voltage) in the common projection electrodes 9a and 9b can be stabilized more by this, and electrical noise can be decreased.

[0019] In addition, it cannot be overemphasized that it is also possible to combine the 3rd example shown in the 2nd example, drawing 4, and drawing 5 which are shown in drawing 3.

[0020] The cross section which met the fracture perspective diagram of the semiconductor device by the 4th example of this invention and drawing 7 on the VII-VII line of the important section B of drawing 6 at drawing 6 is shown. Although the common projection electrode 9 was formed inside the semiconductor chip 1 from each projection electrode 8 in the 1st example of the above, the common projection electrode 9 is formed in the outside of each projection electrode 8 in this example at reverse. The common projection electrode 9 is formed lower than the projection electrode 8, and he is trying not to contact it with inner lead 5a, as furthermore shown in drawing 7. Moreover, the common projection electrode 9 is connected to some projection electrodes 8 in electrode by the aluminum wiring 10 formed on circuit forming face 1a of a semiconductor chip 1. Therefore, in this example, it is joined to the projection electrode 8 and all inner lead 5a is connected to the common projection electrode 9 through the projection electrode 8 and the aluminum wiring 10.

[0021] The cross section which met the fracture perspective diagram of the semiconductor device by the 5th example of this invention and drawing 9 on the IX-IX line of the important section C of drawing 8 at drawing 8 is shown. In this example, the common projection electrode 9 is formed the 4th example and reversely inside each projection electrode 8. As furthermore shown in drawing 9, the common projection electrode 9 is connected to some projection electrodes 8 in electrode by the aluminum wiring 10 formed on circuit forming face 1a of a semiconductor chip 1. Also in this example, it is joined to the projection electrode 8 and all inner lead 5a is connected to the common projection electrode 9 through the projection electrode 8 and the aluminum wiring 10.

[0022] The fracture perspective diagram of the semiconductor device by the 6th example of this invention is shown in drawing 10. Although near the joint part with the projection electrodes 8 and 9 of inner lead 5a was formed in each above-mentioned example more thinly than other portions, a part for the joint of inner lead 5a, a part for i.e., an inside



edge, is formed by the same size as other portions in this example.

[0023] The cross section which met the fracture perspective diagram of the semiconductor device by the 7th example of this invention and drawing 12 on the XII-XII line of the important section D of drawing 11 at drawing 11 is shown. In this example, it is what formed two character type common projection electrodes 9a and 9b of KO in the configuration which bites mutually and is put together, and as further shown in drawing 12 , these common projection electrodes 9a and 9b are electrically connected to some projection electrodes 8 by the aluminum wiring 10 formed on circuit forming face 1a of a semiconductor chip 1, respectively. Moreover, since it is prepared in the outside of the projection electrode 8, the common projection electrodes 9a and 9b are formed lower than the projection electrode 8 so that inner lead 5a may not be contacted. Also in this example, it is joined to the projection electrode 8 and all inner lead 5a is connected to the common projection electrodes 9a and 9b through the projection electrode 8 and the aluminum wiring 10.

[0024] The cross section which met the fracture perspective diagram of the semiconductor device by the 8th example of this invention and drawing 14 on the XIV-XIV line of the important section E of drawing 13 at drawing 13 is shown. In this example, two common projection electrodes 9 prolonged in the direction of a long side of a semiconductor chip 1 are formed in the shape of a field, and it is made to make small the inductance in this common projection electrode 9. These common projection electrodes 9 are electrically connected to some projection electrodes 8 by the aluminum wiring 10 formed on circuit forming face 1a of a semiconductor chip 1 as shown in drawing 14 , respectively. Moreover, since it is prepared in the outside of the projection electrode 8, the common projection electrode 9 is formed lower than the projection electrode 8 so that inner lead 5a may not be contacted.

[0025] The cross section which met the fracture perspective diagram of the semiconductor device by the 9th example of this invention and drawing 16 on the XVI-XVI line of the important section F of drawing 15 at drawing 15 is shown. This example forms two common projection electrodes 9 prolonged in the direction of a long side of a semiconductor chip 1, arranges the projection electrode 8 in that inside at one train, and joins inner lead 5a to the projection electrode 8 by turns from alternate, i.e., both sides. These common projection electrodes 9 are electrically connected to some projection electrodes 8 by the aluminum wiring 10 formed on circuit forming face 1a of a semiconductor chip 1 as shown in drawing 16 , respectively. Moreover, since it is prepared in the outside of the projection electrode 8, the common projection electrode 9 is formed lower than the projection electrode 8 so that inner lead 5a may not be contacted. In the 2-9th examples, the same effect as the 1st example is acquired above.

[0026] The cross section which met the fracture perspective diagram of the semiconductor device by the 10th example of this invention and drawing 18 on the XVIII-XVIII line of the important section G of drawing 17 at drawing 17 is shown. In each above-mentioned example, the projection electrode 8 was arranged together with one train or two trains, or the projection electrode 8 is arranged in the desired location in this example. Furthermore, in order that inner lead 5a might prevent the alpha-rays software error it is errorless to a cause, as shown in drawing 18 , on the passivation film 11, it went across the thin dielectric layer 15 which intercepts alpha rays all over circuit forming face 1a of a semiconductor chip 1, and it was prepared (however, the portion of electrode pad 10a is removed). This

dielectric layer 15 consists of polyimide etc., and is formed by photoengraving-process technology like the passivation film 11. Therefore, adhesives can be formed very thinly unnecessary like before.

[0027] Although the dielectric layer 15 which consists of polyimide is used in this 10th example, what the former compared about the problem of the effect by the temperature change and corrosion, electrical characteristics, etc., and was more excellent like [ compared with the conventional insulating film, it is very thin, and / since adhesives are not used, either ] each example mentioned above is obtained.

[0028] In addition, in the range which is not limited to each above-mentioned example and does not deviate from that summary, various modification is possible for this invention.

[0029]

[Effect of the Invention] At the semiconductor device applied to this invention as explained above, the inner lead opened the circuit forming face and the predetermined gap on the circuit forming face of a semiconductor chip, and it extended, and while being directly joined to the projection electrode formed on each electrode pad on a semiconductor chip and connecting the electrode pad with an inner lead electrically, it was made the structure which fixes mechanically a leadframe (not shown) including a semiconductor chip and each lead. electrical characteristics, like there be few noises be excellent, and be hard be influence of a temperature change, and do not use an insulating film, adhesives, and a bonding wire, therefore a working speed be quick by this, it reach, and it be [ thin shape-izing be possible and ] effective in the ability to be able to offer the semiconductor device which have the internal structure with the feature of raise the flexibility of layout of the circuit pattern of the connection circuit of the electrode pad on a semiconductor chip, and an inner lead of a LOC structured type with

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the fracture perspective diagram of the semiconductor device by the 1st example of this invention.

[Drawing 2] It is the cross section of the portion in which the projection electrode of the circuit forming face of the semiconductor chip of drawing 1 was formed.

[Drawing 3] It is the fracture perspective diagram of the semiconductor device by the 2nd example of this invention.

[Drawing 4] It is the fracture perspective diagram of the semiconductor device by the 3rd example of this invention.

[Drawing 5] It is the cross section which met the V-V line of the important section A of drawing 4 .

[Drawing 6] It is the fracture perspective diagram of the semiconductor device by the 4th example of this invention.

[Drawing 7] It is the cross section which met the VII-VII line of the important section B of drawing 6 .

[Drawing 8] It is the fracture perspective diagram of the semiconductor device by the 5th example of this invention.

[Drawing 9] It is the cross section which met the IX-IX line of the important section C of drawing 8 .

[Drawing 10] It is the fracture perspective diagram of the semiconductor device by the 6th example of this invention.

[Drawing 11] It is the fracture perspective diagram of the semiconductor device by the 7th example of this invention.

[Drawing 12] It is the cross section which met the XII-XII line of the important section D of drawing 11 .

[Drawing 13] It is the fracture perspective diagram of the semiconductor device by the 8th example of this invention.

[Drawing 14] It is the cross section which met the XIV-XIV line of the important section E of drawing 13 .

[Drawing 15] It is the fracture perspective diagram of the semiconductor device by the 9th example of this invention.

[Drawing 16] It is the cross section which met the XVI-XVI line of the important section F of drawing 15 .

[Drawing 17] It is the fracture perspective diagram of the semiconductor device by the 10th

example of this invention.

[Drawing 18] It is the cross section which met the XVIII-XVIII line of the important section G of drawing 17 .

[Drawing 19] It is the fracture perspective diagram showing the conventional semiconductor device.

[Description of Notations]

1 Semiconductor Chip

1a Circuit forming face

2 Mold Resin

5 Lead

5a Inner lead

5b Outer lead

8 Projection Electrode (Bump)

9 Common Projection Electrode

10 Aluminum Wiring (Wiring Conductor)

10a Electrode pad

11 Passivation Film (Protective Coat)

11a Opening

15 Dielectric Layer

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] A semiconductor device which is characterized by providing the following and which carried out the resin seal of the semiconductor chip by mold resin A semiconductor chip which has a circuit forming face covered by protective coat Two or more electrode pads formed in a location of a request including a center of a circuit forming face of this semiconductor chip, respectively A projection electrode which has predetermined height formed on these electrode pads, respectively The mold resin which carries out the resin seal of each above-mentioned portion so that an inner lead which opened a predetermined gap, was prolonged between the above-mentioned circuit forming faces toward each projection electrode from an outside of the above-mentioned semiconductor chip, was directly fixed to a projection electrode and was electrically connected to it and two or more leads which consist of an outer lead which becomes this inner lead and one continuation and is prolonged in the exterior of the above-mentioned mold resin, and the outer lead of each above-mentioned lead are outside exposed

[Claim 2] A semiconductor device of claim 1 further equipped with at least one common projection electrode which was formed in common so that it might connect with the two or more above-mentioned electrode pads electrically, respectively, and which has predetermined height prolonged on a protective coat of the above-mentioned circuit forming face through the above-mentioned two or more electrode pad top.

[Claim 3] wiring formed in the bottom of a protective coat of a circuit forming face of the above-mentioned semiconductor chip which connects electrically between the above-mentioned projection electrodes, the above-mentioned common projection electrodes or a projection electrode, and common projection electrodes -- a semiconductor device of claim 2 further equipped with a conductor.

[Claim 4] wiring prolonged under the above-mentioned protective coat along with the above-mentioned common projection electrode -- a conductor and the above-mentioned wiring -- two or more openings formed in the above-mentioned protective coat along with a conductor -- further -- having -- the above-mentioned common projection electrode -- each above-mentioned opening -- minding -- the above-mentioned wiring -- a semiconductor device of claim 3 formed so that it might connect with a conductor electrically.

[Claim 5] A semiconductor device of claim 2 made thin so that a portion by which non-switched connection is carried out to the above-mentioned projection electrode or a common projection electrode of an inner lead of each above-mentioned lead may be easy to be heated.

[Claim 6] A semiconductor device of claim 2 which formed a thin dielectric layer which intercepts alpha rays in a circuit forming face of the above-mentioned semiconductor chip except a field in which the above-mentioned projection electrode and a common projection electrode were formed.

---

[Translation done.]